

コンピュータ構成学 (Computer Architecture)						
専攻	選択・必修	開設時期	単位数	授業形態	担当	
情報電子	選択	2年前	2	講義	柳澤秀明	
<b>【授業の概要】</b> コンピュータシステムのハードウェア構造と動作を理解する。本科で学んだコンピュータアーキテクチャをベースに、コンピュータハードウェアの構成方式と設計技術について現実に即して解説し、ハードウェア記述言語 (VHDL) による設計手法を修得する。また、コンピュータの高性能化のための構成技術と動作原理についても学習する。						
<b>【学修の進め方】</b> 授業では、座学に適宜演習を交えながら、コンピュータを構成する各部の設計手法を習得する。授業内容を理解するためには予習復習が必須である。						
【授業の概要】	【授業項目】			【内容】		
1回	ガイダンス 組み合わせ回路についての復習			2進数による数値の表現、算術演算、シフト演算をハードウェア記述言語 (VHDL) で実現する。[演習]		
2回	順序回路についての復習			カウンタなどをハードウェア記述言語 (VHDL) で実現する。[演習]		
3回	制御回路についての復習			制御回路をハードウェア記述言語 (VHDL) で実現する。[演習]		
4回	浮動小数点			浮動小数点形式の表現、演算を把握する。[演習]		
5回	命令語の構成と命令の種類			命令語の構成、命令の種類とその動作を把握する。		
6回	命令セットの仕様			実際のコンピュータの命令セットを理解し、モデルコンピュータの命令セットを提示する。		
7回	演算ユニットの構成法			加減算、乗除算などを実行する演算ユニットの構成について理解する。		
8回	演算ユニットの記述設計			演算ユニットをVHDL記述で設計し、動作を検証する。[演習]		
9回	命令語とアドレス指定形式			命令語とアドレス指定形式について具体例を挙げながら解説する。		
10回	データパスと実行制御部の構成			モデルCPUの命令実行に基づいてデータパスと実行制御部の構成を学ぶ。[演習]		
11回	実行制御部の設計			実行制御の状態遷移図からワイアードロジック制御とマイクロプログラム制御による実行制御について理解する。		
12回	実行制御部の記述設計			ワイアードロジック制御による実行制御部についてVHDL記述で設計する手法を学ぶ。[演習]		
13回	パイプライン実行制御			CPUを高速化する手法であるパイプライン制御の構成方法を解説し、パイプライン制御による性能の向上について解析する。		
14回	パイプラインハザードの回避			構造ハザード、制御ハザード、データハザードについて、問題と対策を解説する。		
15回	期末試験			コンピュータハードウェアの構造と設計技術について理解できているかを確認する出題である。		
16回	まとめ			試験の解答と解説を行う。		
【到達目標】	コンピュータの構成方式と設計技術について学び、さらに、高性能なコンピュータシステムについて理解する。モデルCPUの設計手法が理解でき、実行制御部と演算処理部を設計できることを目標とする。					
【徳山高専学習・教育目標】	C1		【JABEE基準】	1(2)d-1		
【評価法】	最終評価 (最大100点) = 期末試験の成績 + 課題加点 (最大10点)					
【テキスト】	参考書：橋本昭洋「計算機アーキテクチャ」昭晃堂、David Money Harris, Sarah L. Harris, 「Digital Design and Computer Architecture Second Edition」Morgan Kaufmann					
【関連科目】	本科：コンピュータアーキテクチャ (4年) 専攻科：論理設計 (1年)					
【成績欄】	前期中間試験 【 】	前期末試験 【 】	前期成績 【 】	後期中間試験 【 】	後期末試験 【 】	学年末成績 【 】