コンピュータ構成学(Computer Architecture)

専攻	選択・必修	開設時期	単位数	授業形態	担　当
情報電子	選択	2年後	2	講義	守川　和夫

【授業の概要】
コンピュータシステムのハードウェア構造と動作を理解する。
本科で学んだコンピュータアーキテクチャをベースに、コンピュータハードウェアの構成方式と設計技術について現実に即して解説し、ハードウェア記述言語（ＶＨＤＬ）による設計手法を修得する。また、コンピュータの高性能化のための構成技術と動作原理についても学習する。

【学修の進め方】
授業では、座学に適宜演習を交えながら、コンピュータを構成する各部の設計手法を習得する。

【授業計画】	【授業項目】	【内　容】
1 回	算術演算・シフト演算	２進数による数値の表現、算術演算、シフト演算をハードウェア記述言語（ＶＨＤＬ）で実現する。[演習]
2 回	浮動小数点	浮動小数点形式の表現、演算を把握する。[演習]
3 回	命令語の構成と命令の種類	命令語の構成、命令の種類とその動作を把握する。
4 回	オペランドの指定	操作対象となるオペランドの指定方式を示し、それぞれのアドレス形式の有効アドレスについて理解する。
5 回	命令セットの仕様	実際のコンピュータの命令セットを理解し、モデルコンピュータの命令セットを提示する。
6 回	演算ユニットの構成法	加減算、乗除算などを実行する演算ユニットの構成について理解する。[演習]
7 回	演算ユニットの記述設計	演算ユニットをＶＨＤＬ記述で設計し、動作を検証する。[演習]
8 回	命令語とアドレス指定形式	命令語とアドレス指定形式ついて具体例を挙げながら解説する。
9 回	データパスと実行制御部の構成	モデルＣＰＵの命令実行に基づいてデータパスと実行制御部の構成を学ぶ。[演習]
10 回	実行制御部の設計	実行制御の状態遷移図からワイアードロジック制御とマイクロプログラム制御による実行制御について理解する。
11 回	実行制御部の記述設計	ワイアードロジック制御による実行制御部についてＶＨＤＬ記述で設計する手法を学ぶ。[演習]
12 回	パイプライン実行制御	ＣＰＵを高速化する手法であるパイプライン制御の構成方法を解説し、パイプライン制御による性能の向上について解析する。[演習]
13 回	パイプラインハザードの回避	構造ハザード、制御ハザード、データハザードについて、問題と対策を解説する。
14 回	パイプライン実行制御部の記述設計	パイプライン実行制御回路をＶＨＤＬ記述で設計し、動作を検証する。[演習]
15 回	期末試験	コンピュータハードウェアの構造と設計技術について理解できているかを確認する出題である。
16 回	まとめ	試験の解答と解説を行う。
【到達目標】	コンピュータの構成方式と設計技術について学び、さらに、高性能なコンピュータシステムについて理解する。モデルＣＰＵの設計手法が理解でき、実行制御部と演算処理部を設計できることを目標とする。	

【徳山高専学習・教育目標】	Ｃ１	【JABEE 基準 1(1)】	d-2a

【評価法】	評価は、期末試験の成績（４０%）、授業中の演習課題のリポート（６０%）とする。
【テキスト】	橋本昭洋「計算機アーキテクチャ」昭晃堂（必要ページをコピーして配布）
【関連科目】	本科：コンピュータアーキテクチャ（4年） 専攻科：論理設計（1年）
【成績欄】	前期中間試験　前期末試験　前期成績　後期中間試験　後期末試験　学年末成績 【　　】【　　】【　　】【　　】【　　】【　　】